

HEAT TREATMENT OF SILICON SEMICONDUCTOR SUBSTRATE

Patent Number: JP11067781
Publication date: 1999-03-09
Inventor(s): MORIMOTO NOBUYUKI; ADACHI HISASHI; HORAI MASATAKA
Applicant(s): SUMITOMO METAL IND LTD
Requested Patent: ☐ JP11067781
Application Number: JP19970227459 19970808
Priority Number(s):
IPC Classification: H01L21/322
EC Classification:
Equivalents: JP3144631B2

Abstract

PROBLEM TO BE SOLVED: To carry out predetermined heat treatments efficiently within a short period on a substrate in which oxygen precipitation is hard to grow by forming a non-defect region on the surface layer of a silicon semiconductor substrate, subjecting the resultant to a predetermined high-temperature, short-period heat treatment with rapid heating and cooling, and thereafter subjecting the resultant to a low-temperature, short-period nucleating heat treatment.

SOLUTION: A silicon wafer having a predetermined interstitial oxygen concentration of a silicon semiconductor substrate is subjected to a high-temperature heat treatment at 1100 deg.C or higher in a nitrogen diluted oxidative atmosphere for several hours to thereby form a non-defect layer close to the surface of the substrate. Then, the resultant is subjected to a high-temperature heat treatment at 1200 deg.C or higher in an unoxidative atmosphere for 5 to 300 seconds in a heat-treatment furnace capable of both rapidly heating and cooling by increasing and decreasing the temperature at a rate of 10 to 200 deg.C/sec. Then, the resultant is subjected to a low-temperature, short-period nucleation heat treatment at 500 to 900 deg.C. As a result, such minute defects (BMD) as to allow a sufficient intrinsic gettering(IG) effect to be provided inside the silicon semiconductor substrate can be obtained, and the treatment time can also be reduced to a great extent.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67781

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶
H 0 1 L 21/322

識別記号

F I
H 0 1 L 21/322

Y

審査請求 有 請求項の数 5 F D (全 6 頁)

(21) 出願番号 特願平9-227459

(22) 出願日 平成9年(1997) 8月8日

(71) 出願人 000205351

住友シチックス株式会社
兵庫県尼崎市東浜町1番地

(72) 発明者 森本 信之

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

(72) 発明者 足立 尚志

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

(72) 発明者 宝来 正隆

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

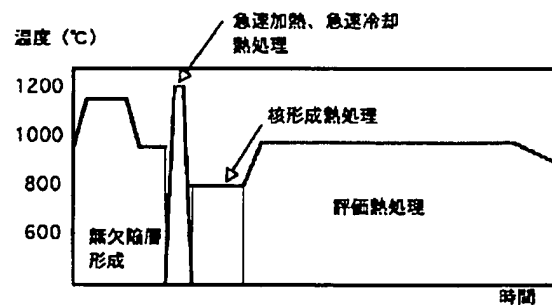
(74) 代理人 弁理士 押田 良久

(54) 【発明の名称】 シリコン半導体基板の熱処理方法

(57) 【要約】

【課題】 酸素析出物が成長し難い基板に効率よく短時間でDZ-I G処理が可能なシリコン半導体基板の熱処理方法の提供。

【解決手段】 シリコン半導体基板の格子間酸素濃度が $11 \sim 17 \times 10^{17} (\text{atoms}/\text{cm}^3)$ のシリコンウェーハを、窒素希釈の酸化性雰囲気内で 1100°C 以上の高温熱処理を数時間施し、基板表面付近に無欠陥層を形成させたのち、ランプアニール炉等の急速加熱および急速冷却可能な熱処理炉にて、窒素、アルゴン等の非酸化性雰囲気内で高温、短時間の熱処理を行い、その後低温、短時間の核形成熱処理を施すことにより、従来のDZ-I G処理と比較し、処理時間の著しい短縮、および従来のDZ-I G品と同等の品質が得られる。



【特許請求の範囲】

【請求項1】 シリコン半導体基板の表層に無欠陥層を形成させる熱処理後に、非酸化性雰囲気内で昇温速度 $10\sim 200^{\circ}\text{C}/\text{sec}$ で 1200°C 以上に昇温し、 $1200^{\circ}\text{C}\sim 1300^{\circ}\text{C}$ に5秒 \sim 300秒保持後に、降温速度 $10\sim 200^{\circ}\text{C}/\text{sec}$ で冷却後、さらに短時間核形成熱処理を施して、基板内に $1\times 10^8(\text{cm}^{-3})$ 以上のBMDを得るシリコン半導体基板の熱処理方法。

【請求項2】 請求項1において、シリコン半導体基板の格子間酸素濃度が $11\sim 17\times 10^{17}(\text{atoms}/\text{cm}^3)$ であるシリコン半導体基板の熱処理方法。

【請求項3】 請求項1において、シリコン半導体基板の比抵抗が $0.001\sim 100(\Omega\text{cm})$ であるシリコン半導体基板の熱処理方法。

【請求項4】 請求項1において、核形成熱処理は、酸化性雰囲気中で、 $500\sim 900^{\circ}\text{C}$ の温度範囲で $0.5\sim 30$ 時間保持する処理であるシリコン半導体基板の熱処理方法。

【請求項5】 請求項1において、無欠陥層を形成させる熱処理は、 1100°C 以上で $0.5\sim 30$ 時間保持する処理であるシリコン半導体基板の熱処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリコン半導体基板のDZ-IG熱処理方法の改善に係り、基板の表層に無欠陥層を形成させたのち、非酸化性雰囲気内で急速加熱および急速冷却の高温、短時間熱処理を施し、その後低温、短時間の核形成熱処理を施すことにより、効率よく基板内部にIG効果の期待できる程度の微小欠陥を析出させるシリコン半導体基板の熱処理方法に関する。

【0002】

【従来の技術】半導体基板の製造工程において、金属不純物を半導体基板中に取り込む方法として、Intrinsic Gettering (以後、IGと記載)法が知られており、これはシリコン半導体基板中の微小欠陥(Bulk Micro Defect, 以後、BMDと記載)を利用する方法である。

【0003】また、シリコン半導体基板をデバイス工程で適用するためには、予め酸化性雰囲気内で 1100°C 以上の高温熱処理を施し、シリコン半導体基板の表層格子間酸素を外方拡散させ無欠陥層(Denuded Zone, 以後、DZ層と記載)を形成した後、低温処理にてシリコン半導体基板内部にBMDを形成させ、IG効果をもたせる必要があり、この一連の熱処理はDZ-IG処理と呼ばれている。

【0004】しかし、上述のIG処理に関しては、シリコン半導体基板の格子間酸素濃度及び比抵抗によりBMDの析出量が異なるため、様々なIG処理ヒートシーケンスが利用される。特に、シリコン半導体基板のドーパントとしてアンチモン(以下Sbと記載)を用いた場

合、比抵抗が $0.001\sim 0.1(\Omega\text{cm})$ のものについては、酸素析出物が非常に成長し難い特性があり、そのため析出熱処理に長時間を要し、生産性の面で問題がある。

【0005】

【発明が解決しようとする課題】前記のDZ-IG処理において、シリコン半導体基板の格子間酸素濃度が $11\sim 17\times 10^{17}(\text{atoms}/\text{cm}^3)$ のシリコンウェーハを、窒素希釈の酸化性雰囲気内で 1100°C 以上の高温処理を数時間行い、基板表面付近に無欠陥層を形成させた後、基板内部にBMDを形成させるための熱処理が施される。

【0006】例えば、図7に示すごとく、 1150°C で保持する高温処理後に、 $500\sim 600^{\circ}\text{C}$ の温度範囲で数十時間保持する定温熱処理を施す方法や、図8に示すごとく、 1150°C で保持する高温処理後に、 $500\sim 600^{\circ}\text{C}$ の温度範囲でシリコン半導体基板を熱処理炉に投入し、その後 $800\sim 900^{\circ}\text{C}$ まで昇温する方法等がある。

【0007】前記の熱処理方法により、ゲッタリングに必要なレベルのBMD密度、すなわち、 $1\times 10^8\sim 1\times 10^{10}(\text{cm}^{-3})$ の個数及びサイズを確保するためのIG処理に要する時間は、シリコン半導体基板の格子間酸素濃度および比抵抗により決定され、その熱処理時間は、およそ $10\sim 100$ 時間程度であり、その中でも長時間を必要とする熱処理については、生産性が非常に悪い。

【0008】これに対して、例えば、シリコン半導体基板を高温($1100\sim 1280^{\circ}\text{C}$)に加熱して点欠陥を熱平衡的に存在させたのち、 $200^{\circ}\text{C}/\text{分}$ 以上の冷却速度で 500°C 以下に急冷して過飽和にすることにより、ゲッタリングに必要なBMDを短時間に得る方法がある(特公平3-9078号公報)。しかし、上記熱処理方法では、確かに短時間熱処理で高密度のBMDは得られるが、シリコン半導体基板表面近傍にもBMDが成長し、デバイス活性層の品質を劣化させる問題が生じる。

【0009】この発明は、例えば、酸素析出物が非常に成長し難い特性を有するSbドーパされた比抵抗が $0.001\sim 0.1(\Omega\text{cm})$ のシリコン半導体基板に対して、基板の表層に無欠陥層を形成させかつ基板内部にIG効果の期待できる程度の微小欠陥を析出させる、すなわち、酸素析出物が成長し難い基板に効率よく短時間でDZ-IG処理が可能なシリコン半導体基板の熱処理方法の提供を目的としている。

【0010】

【課題を解決するための手段】発明者らは、酸素析出物が成長し難い基板に効率よく短時間でDZ-IG処理を可能にする熱処理方法を目的に種々検討した結果、シリコン半導体基板の格子間酸素濃度が $11\sim 17\times 10^{17}(\text{atoms}/\text{cm}^3)$ のシリコンウェーハを、窒素希

釈の酸化性雰囲気内で1100℃以上の高温熱処理を数時間施し、基板表面付近に無欠陥層を形成させたのち、ランプアニール炉等の急速加熱および急速冷却可能な熱処理炉にて、窒素、アルゴン等の非酸化性雰囲気内で高温、短時間の熱処理を行い、その後低温、短時間の核形成熱処理を施すことにより、従来のDZ-IG処理と比較し、処理時間の著しい短縮、および従来のDZ-IG品と同等の品質が得られること知見し、この発明を完成した。

【0011】この発明は、シリコン半導体基板の表層に無欠陥層を形成させる熱処理後又は前記熱処理に引き続いて、非酸化性雰囲気内で昇温速度10~200℃/secで1200℃以上に昇温し、1200℃~1300℃に5秒~300秒保持後に、降温速度10~200℃/secで冷却し、さらに、500~900℃の温度範囲で0.5~30時間保持する核形成熱処理を施して、基板内に 1×10^8 (cm⁻³)以上のBMDを得るシリコン半導体基板の熱処理方法である。

【0012】

【発明の実施の形態】この発明は、シリコン半導体基板の格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)のシリコンウェーハを、窒素希釈の酸化性雰囲気内で1100℃以上の高温熱処理を数時間施し、基板表面付近に無欠陥層を形成させた後、ランプアニール炉等の急速加熱および急速冷却可能な熱処理炉において、非酸化性雰囲気内で、昇降温速度10~200℃/secで1200℃以上の高温熱処理を5~300秒間施し、その後500~900℃の低温、短時間の核形成熱処理を行うことによりシリコン半導体基板内部に十分なIG効果を期待できる程度のBMDが得られ、且つ処理時間も著しく短縮できることを特徴とする。

【0013】この発明において、対象とするシリコン半導体基板は、その基板の格子間酸素濃度が $11 \sim 17 \times 10^{17}$ atoms/cm³、比抵抗が0.001~10Ωcmであり、好ましくは、Sbドープされたシリコン半導体基板で、比抵抗が0.001~0.1Ωcmのものである。先の比抵抗値の範囲を対象とするのは、酸素析出物が非常に成長し難いためであり、また、初期酸素濃度が $11 \sim 17 \times 10^{17}$ atoms/cm³の範囲外であると、例えばBMD密度が、 1×10^8 (cm⁻³)となり、ゲッタリング効率が弱くなる。又、BMD密度が、 1×10^8 (cm⁻³)以上では、シリコン半導体基板の機械的強度が弱くなる可能性がある。

【0014】以下に、この発明の熱処理方法を図1のヒートパターン図に基づいて説明する。この発明において、第一段階の無欠陥層を形成させる熱処理は、窒素希釈の酸化性雰囲気内で1100℃以上の高温処理を数時間行うとよく、1100℃より低い温度では酸素の外方拡散が遅いため、長時間の処理を要し、また、無欠陥層の品質も十分なものは得られない。従って、1100℃

以上の温度が必要であり、好ましくは、1100℃~1150℃、で2~5時間保持する処理である。

【0015】この発明の熱処理方法における特徴である急速加熱および急速冷却の熱処理は、第一段階の無欠陥層を形成させる熱処理を完了した後、非酸化性雰囲気に移して25℃程度から急速加熱するほか、第一段階の冷却途中、例えば、600℃程度から開始してもよい。また、熱処理工程は、非酸化性雰囲気内で昇温速度10~200℃/secで1200℃以上に昇温し、1200℃~1300℃に5秒~300秒保持後に、降温速度10~200℃/secで室温~900℃程度まで冷却する。

【0016】また、急速加熱および急速冷却の熱処理条件としては、昇温速度、降温速度が10℃/秒未満、または熱処理時間を5秒未満、または熱処理を1200℃未満で行った場合、シリコン半導体基板内部にはBMDの析出量が少なく十分なIG効果が得られず、昇温速度、降温速度が200℃/秒を越え、熱処理時間が300秒を越え、熱処理を1300℃を超える温度で行った場合、シリコン半導体基板スリップ転位が発生する問題があるため、前述の範囲とする。

【0017】この発明において、ランプアニール炉の熱源であるランプの耐久性を低下させないため、また、熱処理時間に関して、60秒以上ではBMDの析出量に著しい変化がないことから、昇温速度10~100℃/secで昇温し、1200℃~1250℃に5秒~60秒保持後に、降温速度50~100℃/secで600℃程度まで冷却する工程が特に好ましい。

【0018】次に、この発明における熱処理方法の第3段階である核形成熱処理としては、500℃未満、900℃を越えるで短時間の定温保持処理を行った場合、シリコン半導体基板内部にはBMDの析出量が少なく十分なIG効果が得られなため、核形成熱処理温度としては、500℃~900℃の温度範囲内、特に700℃~800℃で行うのが好ましく、また保持時間としては、3~5時間が好ましい。雰囲気は、アルゴンガス等の不活性雰囲気、又は酸化性雰囲気、又は窒素雰囲気、又はその混合ガス雰囲気下のいずれでもよい。

【0019】

【実施例】

実施例1

CZ法により育成された面方位(100)、格子間酸素濃度が 15×10^{17} (atoms/cm³)、比抵抗が1(Ωcm)以上の200mm外径のシリコンウェーハに、図1に示すごときヒートパターンの熱処理を施した。まず、3%酸素含有のN₂雰囲気、1150℃で3.5時間の熱処理を施し、ウェーハ表層に無欠陥層を形成させた。

【0020】次に前記ウェーハをランプアニール炉にて窒素雰囲気内で、昇温速度50℃/秒で1150~13

00℃の種々温度に昇温後、60秒間保持した後、降温速度50℃/秒で冷却する熱処理を施した。その後、前記ウェーハを酸素雰囲気内で800℃に5時間保持する核形成熱処理を施した後、1000℃、16時間保持の析出熱処理を行った。

【0021】シリコンウェーハ内部のBMDを観察するため、シリコンウェーハの断面をライトエッチ液にて2μmエッチングを施し、その断面を光学顕微鏡でエッチピットとしてカウントした。その結果を図2に示す。このときのライトエッチ液の配合比は以下の通りである。
 $\text{HF}:\text{HNO}_3:\text{CrO}_3:\text{Cu}(\text{NO}_3)_2:\text{H}_2\text{O}:\text{C}$
 $\text{H}_3\text{COOH}=60\text{cc}:30\text{cc}:30\text{cc}:2\text{g}:$
 $60\text{cc}:60\text{cc}$

(応用物理, 45, 1055 (1976) 高野幸男, 牧道義 参照)

【0022】図2よりシリコン基板内部にIG効果が期待できる程度のBMDを得るためには、ランプアニール処理温度として1200℃以上が必要であり、その時のBMD密度は $1\times 10^8\sim 1\times 10^9(\text{cm}^{-3})$ であることが分かる。またそのときのシリコン基板断面は図3に示されるような構造となっており、表面からおよそ100μm間での深さの範囲が無欠陥層であった。

【0023】また、比較のため、ランプアニール処理を行わないシリコンウェーハについて評価した結果、 $3\times 10^7(\text{cm}^{-3})$ となりBMDの析出が少ないことが確認された。さらに、1300℃に急速加熱処理したシリコンウェーハに関しては、BMDの著しい変化はなく、かつシリコンウェーハの支持部からスリップ転位が発生していた。

【0024】実施例2

CZ法により育成された面方位(100)、格子間酸素濃度が $15\times 10^{17}(\text{atoms}/\text{cm}^3)$ 、比抵抗が $1(\Omega\text{cm})$ 以上の200mm外径のシリコンウェーハに、3%酸素含有の N_2 雰囲気、1150℃で3.5時間の熱処理を施し、ウェーハ表層に無欠陥層を形成させた。

【0025】前記ウェーハをランプアニール炉にて窒素雰囲気内で、昇温速度50℃/秒で1150℃、1200℃、1250℃、1300℃の種々温度に昇温後、5秒、60秒、120秒、300秒間保持した後、降温速度50℃/秒で冷却する熱処理を施した。その後、前記ウェーハを酸素雰囲気内で800℃に5時間保持する核形成熱処理を施した後、1000℃、16時間保持の析出熱処理を行った。次いで実施例1と同様にBMDを観察した結果を図4に示す。

【0026】一方、前記無欠陥層を形成させたウェーハをランプアニール炉にて窒素雰囲気内で、昇温速度10, 50, 100, 200℃/秒で1150℃、1200℃、1250℃、1300℃の種々温度に昇温後、60秒間保持した後、降温速度10, 50, 100, 20

0℃/秒で冷却する熱処理を施した。その後、前記ウェーハを酸素雰囲気内で800℃に5時間保持する核形成熱処理を施した後、1000℃、16時間保持の析出熱処理を行った。次いで実施例1と同様にBMDを観察した結果を図5に示す。

【0027】図4、図5より、急速加熱、急速冷却処理条件として、熱処理温度が1200℃以上であり、かつ熱処理時間として5秒以上であれば、シリコン基板内部には $1\times 10^8\sim 2\times 10^9(\text{cm}^{-3})$ のBMDが得られ、十分なIG効果が期待できることが確認できた。また、60秒以上の熱処理時間では、BMDの著しい変化が見られなかった。

【0028】また、昇降温速度についても、10℃/秒以上であれば、 $1\times 10^8\sim 3\times 10^9(\text{cm}^{-3})$ のBMDが得られた。しかし、100℃/秒以上の昇降温速度についてはBMDの著しい変化はなく、またシリコン半導体基板にスリップ転位が発生していた。

【0029】実施例3

実施例1において、シリコン半導体基板のドーパントとしてSbを用いた比抵抗が0.005(Ωcm)のシリコンウェーハを、3%酸素含有の N_2 雰囲気、1150℃で3.5時間の熱処理を施し、ウェーハ表面付近に無欠陥層を形成させたのち、前記ウェーハをランプアニール炉にて窒素雰囲気内で、昇温速度50℃/秒で1150℃、1200℃、1250℃、1300℃の種々温度に昇温後、60秒間保持した後、降温速度50℃/秒で冷却する熱処理を施した。その後、前記ウェーハを酸素雰囲気内で800℃で10時間保持する核形成熱処理を施したのち、1000℃で16時間保持の析出熱処理を行った。次いで実施例1と同様にBMDを観察した結果を図6に示す。

【0030】図6から明らかなように、急速加熱、急速冷却熱処理温度として1200℃以上であれば、シリコン基板内部に $1\times 10^8\sim 1\times 10^9(\text{cm}^{-3})$ のBMDが得られ、十分なIG効果が期待できることが確認された。しかし、前記実施例1と同様に1300℃の熱処理では、BMDの著しい変化がなく、シリコン半導体基板にスリップ転位が発生していることが確認された。なお、比較用として前記のランプアニール処理を行わないものについても評価した結果、 $1\times 10^6(\text{cm}^{-3})$ 以下となりBMDはほとんど得られなかった。

【0031】

【発明の効果】この発明は、シリコン半導体基板の表層に無欠陥層を形成させたのち、急速加熱および急速冷却の高温、短時間熱処理を施し、その後低温、短時間の核形成熱処理を行うことにより、短時間で従来のDZIG処理のようにシリコン半導体基板内部にIG効果が期待できる程度のBMDを得ることができ、高品質のシリコン半導体基板を生産性良く、安定的に提供できる。

【図面の簡単な説明】

【図1】この発明による熱処理方法のヒートパターンを示すグラフである。

【図2】この発明による熱処理方法の熱処理温度依存性を示す、熱処理後のBMD密度のグラフである。

【図3】この発明による熱処理後のシリコンウェーハの断面説明図である。

【図4】この発明による熱処理方法の熱処理温度依存性を示す、熱処理後のBMD密度のグラフである。

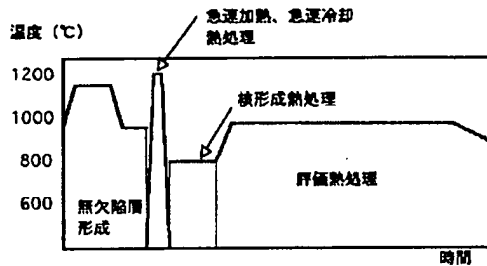
【図5】この発明による熱処理方法の昇降温速度依存性を示す、熱処理後のBMD密度のグラフである。

【図6】この発明による熱処理方法の他の熱処理温度依存性を示す、熱処理後のBMD密度のグラフである。

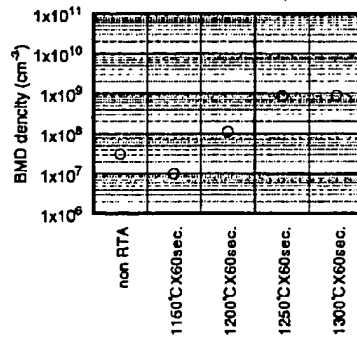
【図7】従来のDZ-IG処理方法のヒートパターンを示すグラフである。

【図8】従来のDZ-IG処理方法の他のヒートパターンを示すグラフである。

【図1】



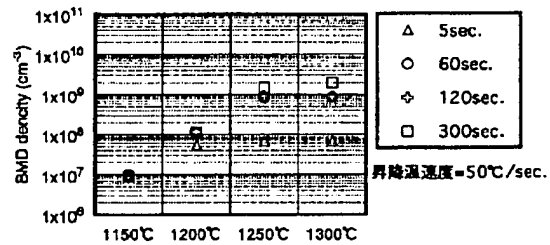
【図2】



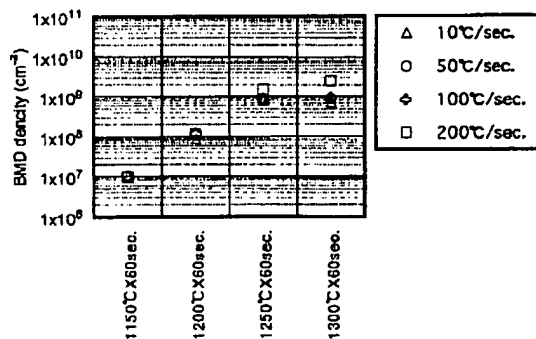
【図3】



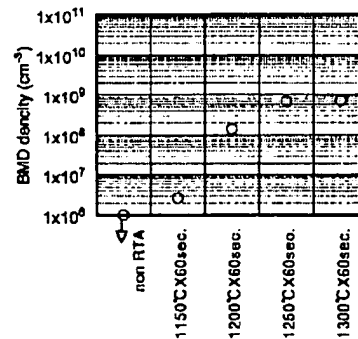
【図4】



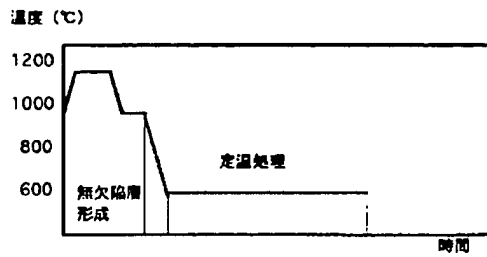
【図5】



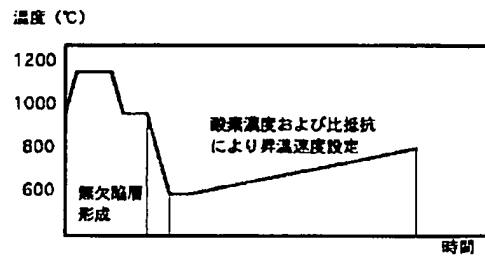
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成10年5月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】

【発明の効果】この発明は、シリコン半導体基板の表層に無欠陥層を形成させたのち、急速加熱および急速冷却の高温、短時間熱処理を施し、その後低温、短時間の核形成熱処理を行うことにより、短時間で従来のDZ-I-G処理のようにシリコン半導体基板内部にIG効果が期待できる程度のBMDを得ることができ、高品質のシリコン半導体基板を生産性良く、安定的に提供できる。